



**Slater & Matsil, L.L.P.**  
17950 Preston Rd., Suite 1000  
Dallas, TX 75252  
Tel: 972-732-1001  
Fax: 972-732-9218

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 103 11 312.6

**Anmeldetag:** 14. März 2003

**Anmelder/Inhaber:** Infineon Technologies AG, 81669 München/DE

**Bezeichnung:** Isolatorstruktur und Verfahren zur Erzeugung von  
Isolatorstrukturen in einem Halbleitersubstrat

**IPC:** H 01 L 21/762

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der  
ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 9. März 2004  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

BEST AVAILABLE COPY

# MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17  
D-81667 München

Anwaltsakte: 12533

Ho/Kg/gi

Anmelderzeichen: 2003P50721 DE  
(2003 E 50719 DE)

14.03.2003

**Infineon Technologies AG**  
St.-Martin-Str. 53

81669 München

---

**Isolatorstruktur und Verfahren zur Erzeugung von Isolator-  
strukturen in einem Halbleitersubstrat**

---

## Beschreibung

Isolatorstruktur und Verfahren zur Erzeugung von Isolatorstrukturen in einem Halbleitersubstrat

5 Die Erfindung betrifft ein Verfahren zum Erzeugen von Isolatorstrukturen in einem Halbleitersubstrat, bei dem von einer Substratoberfläche des Halbleitersubstrats her Isolatorgräben in das Halbleitersubstrat eingebracht werden und die Isola-  
10 torgräben im Zuge eines auf einem hochdichten Plasma gestützten HDP-Abscheidungsprozesses mindestens teilweise mit einer Hauptlage aus einem mit einem Zusatzstoff dotierten Isolatormaterial gefüllt werden. Die Erfindung betrifft ferner eine Isolatorstruktur.

15 In der Halbleiterprozesstechnologie werden Abmessungen von auf bzw. in einem Halbleitersubstrat (Wafer) hergestellten Halbleiterbauteilen stetig verringert, um einer Ausbeute an Halbleiterbauteilen pro Wafer zu steigern und eine Ansprech-  
20 zeit bzw. eine Leistungsaufnahme der Halbleiterbauteile zu senken.

25 Im Zuge einer Prozessierung von Halbleiterbauteilen in einem Wafer erfolgt in einem Prozessmodul eine Abfolge von Prozessschritten zur Ausformung von Isolatorstrukturen. Isolatorstrukturen trennen etwa in einer gleichen Metallisierungsebene angeordnete Leiterbahnen elektrisch voneinander (intermetal dielectric, IMD) oder isolieren unterhalb einer Substratoberfläche des Halbleitersubstrats ausgebildete leitende Ab-  
30 schnitte voneinander (shallow trench isolation, STI). Die leitenden Abschnitte sind dabei beispielsweise als Source/Drain-Bereiche von Transistoren ausgebildete dotierte Abschnitte des Halbleitersubstrats oder in das Halbleitersubstrat eingebrachte Strukturen aus leitfähigem Material, etwa

Verbindungsleitungen und Elektroden von Kondensatorstrukturen aus dotiertem Polysilizium.

5 Ein übliches Isolatormaterial zur Herstellung der Isolatorstrukturen ist Siliziumoxid. Dabei wird das Siliziumoxid bevorzugt mittels eines auf einem hochdichten Plasma gestützten Abscheidungsprozesses (high density plasma chemical vapour deposition, HDP/CVD) abgeschieden. Mit dem HDP/CVD-Abscheidungsprozess werden Siliziumoxidschichten hoher Konformität erzeugt. Aus solchen Siliziumoxidschichten gebildete Isolatorstrukturen weisen eine hohe Dichte und eine hohe Qualität auf.

15 Zu kleineren Abmessungen hin ergibt sich für Isolatorstrukturen zwischen Leiterbahnen einer Metallisierungsebene zunehmend die Anforderung, eine mit kleinerem Abstand zunächst wachsende kapazitive Kopplung benachbarter Leiterbahnen durch Wahl eines Isolatormaterials mit niedriger Permittivität (low-k dielectric) gering zu halten. Es sind etwa aus der  
20 US 6,375,744 (Murugesh et al.) Verfahren bekannt, die die Permittivität des abgeschiedenen Isolatormaterials durch die Beigabe von fluorhaltigen Zusatzstoffen (fluorine-based additives) während des Abscheidungsprozesses und deren teilweisen Einbau in das Isolatormaterial verringern. Dabei wird davon  
25 ausgegangen, dass Beifügungen etwa von elektronegativen Fluor die Polarisierbarkeit eines auf diese Weise erzeugten Si-O-F-Gefüges reduzieren und daher ein Si-O-F-Gefüge eine geringere Permittivität bzw. Dielektrizitätszahl aufweist als ein Siliziumoxid ohne Beifügungen. Für Siliziumoxidschichten, denen  
30 Fluor beifügt ist, sind in diesem Zusammenhang die Begriffe Fluorsilikatglas (fluorinated silicate glass, FSG) und fluor-dotierte Siliziumoxidschicht (fluorine doped silicon oxide film) üblich, während zur begrifflichen Unterscheidung dazu von undotiertem Siliziumoxid (undoped silicon oxide) gespro-

chen wird, wenn das Siliziumoxid aus chemischen Vorläuferverbindungen (Präkursoren) ohne Halogenanteile hervorgeht.

Im Halbleitersubstrat ausgeführte Isolatorstrukturen gehen in der Regel aus einem Füllen von von einer Substratoberfläche her in das Halbleitersubstrat eingebrachten Isolatorgräben hervor. Da im Halbleitersubstrat ausgebildete Strukturen aktiver Bereiche bezüglich planarer Abmessungen oftmals besser skalierbar sind als bezüglich einer zur Substratoberfläche vertikalen Abmessung, steigt das Aspektverhältnis (aspect ratio, AR) zwischen einer Tiefe der Isolatorgräben und einer Öffnungsweite der Isolatorgräben an der Substratoberfläche. Für minimale Strukturgrößen kleiner 100 Nanometer sind absehbar Isolatorgräben mit einem Aspektverhältnis  $AR > 5:1$  erforderlich.

Mit steigendem Aspektverhältnis wird ein fehlerloses, vollständiges (void free) Füllen der Isolatorgräben erschwert. Mit undotiertem Siliziumoxid lassen sich mit herkömmlichen HDP/CVD-Abscheidungsprozessen Isolatorgräben lediglich bis zu einem Aspektverhältnis von  $AR < 4$  im Wesentlichen fehlerlos füllen.

Etwa aus der US 6,372,291 (Hua et al.) ist es bekannt, dass durch eine Beifügung von Fluor oder einer Fluorverbindung während des Abscheidungsprozesses der Füllvorgang positiv beeinflusst wird und ein fehlerloses, gerichtetes Füllen vom Grabenboden her auch von Isolatorgräben mit einem Aspektverhältnis  $AR > 4:1$  bis  $AR < 7:1$  ermöglicht wird. Dabei wird angenommen, dass das Fluor in Form von freien Radikalen eine Ätzkomponente bildet, die einem Aufwachsen von Material im Bereich der Grabenöffnungen und damit einem Zuwachsen der Isolatorgräben im Bereich der Grabenöffnungen vor einer vollständigen Füllung eines unteren Grabenbereichs entgegenwirkt

(sputtering). In der Folge werden die Isolatorgräben gerichtet vom Grabenboden her gefüllt (bottom-up fill).

5 Wird ein in einem Halbleitersubstrat eingebrachter Isolatorgraben in der beschriebenen Weise gefüllt, so kommt es in nachteiliger Weise zu einer Wechselwirkung von aus dem dotierten Siliziumoxid ausgasenden bzw. ausdiffundierenden Fluor mit dem Material des Halbleitersubstrats, typischerweise monokristallinem Silizium. Auf Grund der Wechselwirkung entsteht in der Isolatorstruktur entlang einer Grenzfläche zum Halbleitersubstrat ein Oxid geringer Güte. Das Oxid geringer Güte weist gegenüber dem Isolatormaterial eine bezüglich üblicher Ätzprozesse veränderte, geringere Ätzresistenz auf.

10 15 In der Fig. 1 sind zwei in ein Halbleitersubstrat 1 eingebrachte Isolatorgräben 21 beiderseits eines durch das Halbleitersubstrat 1 gebildeten Stegs 2 in einem Querschnitt schematisch dargestellt.

20 Auf dem Steg 2 ist ein remanenter Abschnitt einer für eine vorangehende Prozessierung notwendigen Schutzschicht 11 angeordnet. Die Isolatorgräben 21 sind mit einer im Zuge eines HDP/CVD-Abscheidungsprozesses abgeschiedenen Isolatorfüllung 3 gefüllt, die sich bis über eine Substratoberfläche 10 hinaus erstreckt. Oberhalb der Stege 22 bilden sich für den HDP-Abscheidungsprozess typische Facetten (facets) 30. Das Material der Isolatorfüllung 3 ist fluordotiertes Siliziumoxid. Aus der Isolatorfüllung 3 gast bzw. diffundiert Fluor aus. An der Grenzfläche zum Steg 22 bilden sich infolge einer Wechselwirkung des Fluors mit dem Silizium des Halbleitersubstrats Defektbereiche 6. Das Siliziumoxid der Isolatorfüllung 3 ist in den Defektbereichen 6 von geringer Güte.

Üblicherweise wird im Anschluss an das Füllen der Isolatorgräben im Zuge des HDP/CVD-Abscheidungsprozesses oberhalb der Substratoberfläche abgeschiedenen Isolatormaterial planarisiert, etwa mittels eines chemisch mechanischen Polierverfahrens (chemical mechanical polishing, CMP). Bei darauf folgenden Ätzungen wird auch das Oxid geringer Güte in den Defektbereichen angegriffen. Die Isolatorstruktur wird in der Folge in den Defektbereichen bis unterhalb der Substratoberfläche zurückgebildet.

10

Nach dem Abtrag des Isolatormaterials aus den oberhalb der Substratoberfläche angeordneten Abschnitten weist die im Isolatorgraben ausgebildete Isolatorstruktur an den Grenzflächen zum Halbleitersubstrat Lücken auf. Die Lücken können in nachfolgenden Prozessschritten, etwa bei der Ausbildung von leitfähigen Strukturen, mit leitfähigen Materialien gefüllt werden und in der Folge die Ursache von Kurzschlüssen sein.

20

In der Fig. 2 ist ein auf einen Defektbereich 6 zurückzuführender Kurzschluss in der Draufsicht schematisch dargestellt. Der Defektbereich 6 erstreckt sich in einem Isolatorgraben 21 längs eines Stegs 22 aus kristallinem Silizium. Ein die Isolatorgräben 21 füllendes Isolatormaterial ist bis zu einer Substratoberfläche zurückgebildet. Auf der Substratoberfläche sind zwei jeweils aus einem Gateleiter (Gateconductor, GC) gebildete Gateleiterstrukturen angeordnet, die beispielsweise voneinander isolierte Wortleitungen zur Ansteuerung von in aktiven Bereichen 7 (active areas, AA) ausgebildeten Transistoren 73 formen. Dazu wurde der Gateleiter flächig abgeschieden und durch einen Ätzschritt strukturiert. Beim Ätzschritt wurden auf der Substratoberfläche aufliegende Abschnitte des Gateleiters zwischen den Gateleiterstrukturen 72 entfernt. In den Defektbereichen 6 unterhalb der Substratoberfläche ver-

25

30



bleiben Restanteile des Gateleiters und schließen in der Folge die beiden Gateleiterstrukturen 72 kurz.

5 Es ist ferner bekannt, dass Defektbereiche mit Oxid niedriger Güte nicht entstehen, wenn fluordotiertes Siliziumoxid auf einer das Halbleitersubstrat bedeckenden dünnen Siliziumnitridschicht (nitride liner) abgeschieden wird. Es kommt in diesem Fall zu keiner wahrnehmbaren Wechselwirkung von Fluor mit dem monokristallinen Silizium des Halbleitersubstrats.

10 In der Fig. 3 ist ein einer Rasterelektronenmikroskop (scanning electron microscopy, SEM)-Aufnahme nachempfunderer Querschnitt durch eine mit einem Nitridliner 12 abgedeckte Struktur aus Stegen 22 und Isolatorgräben 21 in einem Halbleitersubstrat 1 schematisch dargestellt. Die Gräben weisen bei einer Weite von etwa 135 nm eine Tiefe von 570 nm auf. Das Aspektverhältnis AR der Isolatorgräben 21 ist größer 4:1. Es sind keine Defektbereiche erkennbar. Die Isolatorgräben 21 sind ohne Fehlstellen gefüllt.

20 In nachteiliger Weise weisen aber p-Kanal-Transistoren, die in üblicher Technik in durch einen vor dem HDP/CVD-Abscheidungsprozess aufgebrauchten Siliziumnitridliner abgedeckten Abschnitten des Halbleitersubstrats ausgebildet werden gegenüber solchen p-Kanal Transistoren, die nicht auf vormals mit einem Siliziumnitridliner abgedeckten Abschnitten des Halbleitersubstrats ausgebildet werden, eine vergleichsweise hohe Degradationsrate auf.

30 Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur Erzeugung von Isolatorstrukturen durch Füllen von in ein Halbleitersubstrat eingebrachten Isolatorgräben zur Verfügung zu stellen, bei dem Isolatorgräben mit hohem Aspektverhältnis zuverlässig und vollständig gefüllt werden und eine Funktio-

nalität von nachfolgend im Halbleitersubstrat ausgebildeten Halbleitereinrichtungen gewährleistet bleibt. Der vorliegenden Erfindung liegt zudem die Aufgabe vor, eine Isolatorstruktur zur Verfügung zu stellen, durch die eine Funktionsintegrität der nachfolgend im Halbleitersubstrat ausgebildeten Halbleitereinrichtungen, insbesondere von p-Kanal Transistoren, sicherstellt ist.

10 Diese Aufgabe wird bei einem Verfahren der eingangs genannten Art durch die im kennzeichnenden Teil des Patentanspruchs 1 genannten Merkmale gelöst. Eine die Aufgabe lösende Isolatorstruktur ist im Patentanspruch 15 wiedergegeben. Vorteilhafte Weiterbildungen ergeben sich jeweils aus den Unteransprüchen.

15 Das erfindungsgemäße Verfahren zum Erzeugen von Isolatorstrukturen in einem Halbleitersubstrat sieht also in zunächst bekannter Weise ein Einbringen von Isolatorgräben von einer Substratoberfläche her in das Halbleitersubstrat und ein Anfüllen der Isolatorgräben mit einer Hauptlage aus einem mit  
20 einem Zusatzstoff dotierten Isolatormaterial im Zuge eines auf einem hochdichten Plasma gestützten (HDP-)Abscheidungsprozesses vor.

25 Erfindungsgemäß wird nun vor einer Abscheidung der Hauptlage im Zuge des HDP-Abscheidungsprozesses in-situ eine Barrierschicht erzeugt, die eine Wechselwirkung des Zusatzstoffes mit dem Halbleitersubstrat blockiert.

30 Es konnte nämlich zunächst beobachtet werden, dass p-Kanal-Transistoren, die in üblicher Technik außerhalb der Isolatorstrukturen im Bereich der Substratoberfläche des Halbleitersubstrats ausgebildet werden, einer fortschreitenden Degradation unterliegen, wenn die p-Kanal-Transistoren in vor dem HDP/CVD-Abscheidungsprozess in herkömmlicher Weise mit einem

Siliziumnitridliner abgedeckten Abschnitten ausgebildet werden. An in sonst gleicher Weise ausgebildeten p-Kanal-Transistoren konnte jedoch unerwartet eine deutlich verringerte Degradation festgestellt werden, wenn statt des Siliziumnitridliners eine erfindungsgemäß erzeugte Barrierenschicht gegen ein Ausgasen der Zusatzstoffe vorgesehen wurde.

Es wird dabei angenommen, dass eine für eine Degradation der p-Kanal-Transistoren maßgebende Eigenschaft der Siliziumnitrid- bzw. Barrierenschicht im Herstellungsprozess selbst bzw. in der Nachbarschaft des Herstellungsprozesses zu weiteren Prozessschritten begründet liegt. Die erfindungsgemäß hergestellte Barrierenschicht unterscheidet sich etwa von bekannten Plasmanitridschichten typischerweise durch den engen örtlichen und zeitlichen Zusammenhang mit einer unmittelbar anschließenden Abscheidung von mit einem Zusatzstoff dotierten Siliziumoxid.

Darüber hinaus ist für eine Entfernung eines herkömmlichen Siliziumnitridliners eine relativ aufwändige Prozessierung notwendig, da sie in der Regel auch eine Entfernung einer mit dem Siliziumnitridliner verbundenen Oxidschicht einschließlich eines damit erforderlichen Anneal-Schritts erfordert. Die erfindungsgemäße vorgesehene Barrierenschicht lässt sich dagegen relativ einfach zusammen mit der Rückbildung von oberhalb der Substratoberfläche aufgetragenen Isolatormaterial entfernen.

In bevorzugter Weise wird im Zuge des HDP-Abscheidungsprozesses unmittelbar nach dem Erzeugen der Barrierenschicht das mit einem Zusatzstoff dotierte Isolatormaterial in einem Hauptabscheidungsschritt abgeschieden und dabei eine Hauptlage der Isolatorstruktur erzeugt.

Das erfindungsgemäße Verfahren ermöglicht es also zum einen, Isolatorgräben mit hohem Aspektverhältnis in nahezu idealer Weise ohne Ausbildung von durch Oxid geringer Güte gekennzeichnete Defektbereiche zu füllen. Das erfindungsgemäße Verfahren ermöglicht es zudem, in anderen Abschnitten des Halbleitersubstrats p-Kanal-Transistoren mit geringer Degradationsneigung auszubilden.

Der beobachtete Effekt ist besonders vorteilhaft, wenn im Zuge des HDP-Abscheidungsprozesses vor dem Abscheiden der Barrierenschicht ein Vorabscheidungsprozess unter Ausschluss von Halogenen oder Halogenverbindungen gesteuert und dabei eine Zusatzlage der Isolatorstruktur vorgesehen wird.

Durch die Zusatzlage erfolgt in einfacher Weise eine vorteilhafte Anpassung der Hauptlage bzw. der Barrierenschicht an das Halbleitersubstrat. Ein Material, bzw. eine Zusammensetzung der Zusatzlage wird so gewählt, dass Wechselwirkungen der Zusatzlage mit dem Halbleitersubstrats, etwa bezüglich einer Beschaffenheit der Grenzfläche zwischen Zusatzlage und Halbleitersubstrat sowie Adhäsions- und Diffusionseigenschaften, bekannt und in einfacher Weise beherrschbar sind. Eine weitere Anpassung des Halbleitersubstrats an die Eigenschaften der Hauptlage bzw. die Barriereschicht erübrigt sich. Die Zusatzlage wird bevorzugt aus undotiertem Siliziumoxid gebildet. Die Dicke der Zusatzlage wird so gewählt, dass das Halbleitersubstrat mindestens im Bereich der Isolatorgräben möglichst vollständig durch sie abgedeckt wird.

In besonders vorteilhafter Weise werden der Vorabscheidungsprozess, im Zuge dessen die Zusatzlage erzeugt wird, die Erzeugung der Barrierenschicht und der Hauptabscheidungsprozess, im Zuge dessen die Hauptlage erzeugt wird, aufeinander folgend und in-situ in der gleichen Prozesskammer gesteuert.

Übergänge zwischen der Zusatzlage und der Barrierschicht, bzw. zwischen der Barrierschicht und der Hauptlage werden keiner anderen als einer gesteuerten Prozessumgebung ausgesetzt, so dass an den Übergängen keine undefinierten Interface-Oberflächen ausgebildet werden. Zudem ist ein solches Verfahren schnell und ermöglicht einen hohen Durchsatz an Halbleitersubstraten.

Als Zusatzstoff ist bevorzugt ein Halogen oder eine Halogenverbindung in Betracht zu ziehen, wobei das Halogen im Zuge eines HDP/CVD-Abscheidungsprozesses als Ätzkomponente wirken kann. Als Halogen wird in vorteilhafter Weise Fluor vorgesehen, das aus Stickstofftrifluorid  $\text{NF}_3$  als chemische Vorläuferverbindung (Präkursor) hervorgeht.

Als Isolatormaterial wird bevorzugt Siliziumoxid vorgesehen, dessen Prozessierung in einem weiten Spektrum bekannt und gut beherrschbar ist.

Die Vorteile des erfindungsgemäßen Verfahrens kommen insbesondere dann zum Tragen, wenn ein während des HDP/CVD-Abscheidungsprozesses oberhalb der Substratoberfläche abgeschiedenes Isolatormaterial im Zuge eines nachfolgenden Ätzprozesses oder eines CMP-Prozesses bis zur Substratoberfläche zurückgebildet wird. Bei bekannten Verfahren werden dabei innerhalb der Isolatorgräben Defektbereiche mit Oxid geringer Güte freigelegt, durch das Ätzverfahren zurückgebildet und nachfolgend in nachteiliger Weise mit leitfähigen Material füllbar. Durch das erfindungsgemäße Verfahren wird die Ausbildung von Defektbereichen vermieden.

Insbesondere dann, wenn nach der Ausbildung der Isolatorstrukturen auf der Substratoberfläche außerhalb der Isolatorstrukturen abschnittsweise p-Kanal-Transistoren ausgebildet

werden, wird als besonderer Vorteil des erfindungsgemäßen Verfahrens einer schnellen Degradation der p-Kanal-Transistoren vorgebeugt.

- 5 Als chemische Vorläuferverbindungen werden dann im Zuge des Vorabscheidungsprozesses bevorzugt Silan und Sauerstoff zugeführt. Zumischbare Inertgase sind dabei Ar, He und H<sub>2</sub>.

10 Während des Hauptabscheidungsprozesses werden nach einer besonders bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens Silan, Sauerstoff und Stickstofftrifluorid NF<sub>3</sub> als chemische Vorläuferverbindungen zugeführt. Im Unterschied zu üblichen Verfahren, im Zuge derer als Vorläuferverbindung für fluordotiertes Siliziumoxid Siliziumtetrafluorid SiF<sub>4</sub> zugeführt wird, lässt sich damit ein Fluoranteil in der Hauptlage  
15 der Isolatorstruktur unabhängig vom Siliziumanteil einstellen. In der Folge lassen sich durch den gewonnenen zusätzlichen Prozessparameter die Eigenschaften des fluordotierten Siliziumoxids weiter an Prozesserfordernisse anpassen.

20 Die Barrierenschicht wird in bevorzugter Weise aus Si-N, Si-O-N, Si-C, Si-O-C, amorphen Silizium und/oder nitridiertem Siliziumoxid ausgebildet. Dabei weist eine erfindungsgemäß erzeugte Siliziumnitridschicht bezüglich der Ausbildung von  
25 p-Kanal Transistoren im Halbleitersubstrat deutlich bessere Eigenschaften aus als herkömmlich erzeugte Siliziumnitridli-

30 Die Siliziumnitridschicht wird bevorzugt unter Verwendung der Vorläuferverbindungen N<sub>2</sub> und SiH<sub>4</sub> gebildet, wobei daneben Inertgase wie Ar, He und H<sub>2</sub> zugegeben werden können.

Eine Verwendung des erfindungsgemäßen Verfahrens ist insbesondere dann vorteilhaft, wenn die Isolatorstrukturen aus dem

Füllen von Isolatorgräben hervorgehen, die ein Aspektverhältnis  $AR > 4:1$  aufweisen.

5 Mit dem erfindungsgemäßen Verfahren wird in einem Halbleiter-  
substrat eine erfindungsgemäße Isolatorstruktur erzeugt. Die  
Isolatorstruktur umfasst zunächst eine aus einem mit einem  
Halogen dotierten Siliziumoxid gebildete und aus einem HDP-  
Abscheidungsprozess hervorgegangene Hauptlage. Erfindungsge-  
mäß weist die Isolatorstruktur eine Barrierenschicht auf, die  
10 die Hauptlage vom Halbleitersubstrat trennt. Die Barrieren-  
schicht geht aus einem in unmittelbaren Zusammenhang mit der  
Ausbildung der Hauptlage stehenden HDP-Abscheidungsprozesses  
hervor und verhindert eine Wechselwirkung von aus der Haupt-  
lage ausgasenden Halogen mit dem Halbleitersubstrat.

15 In besonders vorteilhafter Weise ist zwischen der Barrieren-  
schicht und dem Halbleitersubstrat eine Zusatzlage der Isola-  
torfüllung ausgebildet.

20 Die Barrierenschicht besteht in bevorzugter Weise aus Si-N,  
Si-C, Si-O-N, Si-O-C, amorphem Silizium und/oder nitridiertem  
Siliziumoxid. Die genannten Materialien sind geeignet, ein  
Ausgasen eines Halogens, insbesondere von Fluor, aus dem do-  
tierten Siliziumoxid zu verhindern. Ferner stehen für die ge-  
25 nannten Materialien geeignete Präkursoren für einen HDP/CVD-  
Abscheidungsprozess zur Verfügung.

30 Die erfindungsgemäße Isolatorstruktur ist insbesondere dann  
vorteilhaft, wenn die Isolatorstruktur in einem Isolatorgra-  
ben angeordnet ist, dessen Aspektverhältnis  $AR$  größer  $4:1$   
ist. Bei Aspektverhältnissen  $AR > 4:1$  zeichnen sich aus min-  
destens teilweise aus halogendotierten Siliziumoxid gebildete  
Isolatorstrukturen durch eine vergleichsweise geringe Zahl  
von Fehlstellen aus.

Nachfolgend wird die Erfindung anhand der Figuren näher erläutert, wobei einander entsprechenden Komponenten die selben Bezugszeichen zugeordnet sind. Es zeigen:

5

Fig. 1 Einen einer SEM-Aufnahme nachempfundenen maßstabsgetreuen Querschnitt durch eine nach einem ersten bekannten Verfahren prozessierte erste Isolatorstruktur in einem ersten Prozessstadium,

10

Fig. 2 eine einer SEM-Aufnahme nachempfundene maßstabsgetreue Draufsicht auf die nach dem ersten bekannten Verfahren prozessierte Isolatorstruktur in einem zweiten Prozessstadium,

15

Fig. 3 einen einer SEM-Aufnahme nachempfundenen maßstabsgetreuen Querschnitt durch eine nach einem zweiten bekannten Verfahren prozessierte Isolatorstruktur,

20

Fig. 4 einen einer SEM-Aufnahme nachempfundenen maßstabsgetreuen Querschnitt durch eine nach einem ersten Ausführungsbeispiel des erfindungsgemäßen Verfahrens prozessierte Isolatorstruktur,

25

Fig. 5 einen einer SEM-Aufnahme nachempfundenen maßstabsgetreuen Querschnitt durch eine nach einem zweiten Ausführungsbeispiel des erfindungsgemäßen Verfahrens prozessierte Isolatorstruktur und

30

Fig. 6 einen einer SEM-Aufnahme nachempfundenen maßstabsgetreuen Querschnitt durch eine nach einem dritten Ausführungsbeispiel des erfindungsgemäßen Verfahrens prozessierte Isolatorstruktur.



Die Fig. 1 bis Fig. 3 wurden bereits eingangs erläutert.

Anhand einer in der Fig. 4 schematisch dargestellten Beispielstruktur von in einem Halbleitersubstrat 1 eingebrachten Isolatorgräben 21 und aus dem einkristallinen Silizium des Halbleitersubstrats 1 gebildeten Stegen 22 wird das Prinzip des erfindungsgemäßen Verfahrens verdeutlicht.

Zunächst werden in das mindestens im betrachteten Abschnitt mit einer Schutzschicht 11, etwa einem Padnitrid, bedeckte Halbleitersubstrat 1 Isolatorgräben 21 eingebracht. Dabei werden zwischen den Isolatorgräben 21 mit remanenten Abschnitte der Schutzschicht 11 versehene Stege 22 ausgebildet. Im gezeichneten Ausführungsbeispiel wird das Halbleitersubstrat 1 in vereinfachter Darstellung ausschließlich aus einkristallinem Silizium gebildet. Tatsächlich sind im Halbleitersubstrat 1 bereits Teile von Kondensator- oder Transistorstrukturen ausgebildet, so dass die Isolatorgräben 21 abschnittsweise an andere Materialien als dem monokristallinen Silizium des Halbleitersubstrats 1 anschließen können.

Auf die Beispielstruktur wird zunächst in einer HDP/CVD-Prozesskammer eine nichtdotierte Siliziumoxidschicht als Zusatzlage 31 abgeschieden. Im Anschluss daran ist es erfindungsgemäß vorgesehen, mittels eines Wechsels der zugeführten Vorläufermaterialien in der selben HDP/CVD-Prozesskammer eine Barrierenschicht 32 zu erzeugen, die auf der Zusatzlage 31 aufliegt. Im Anschluss an die Erzeugung der Barrierenschicht 32 wird, wiederum durch einen Wechsel der zugeführten Vorläufermaterialien, die Hauptlage 33 abgeschieden. In diesem Ausführungsbeispiel werden dabei die Isolatorgräben 21 bis zu einer Oberkante der Hauptlage 33 unterhalb der Substratoberfläche 10 gefüllt. Durch einen erneuten einfachen Wechsel der zugeführten Vorläufermaterialien wird im Anschluss in der

HDP/CVD-Prozesskammer in-situ eine Abschlusslage 34 ausgebildet, die eine Füllung 3 der Isolatorgräben 21 komplettiert. Damit weist die Isolatorstruktur 8 für nachfolgende Prozessierungsschritte gleiche Eigenschaften auf wie übliche Isolatorstrukturen. Es ist in der Folge keine weitere Anpassung der folgenden Prozessierungsschritte an die erfindungsgemäße Isolatorstruktur 8 notwendig.

Der Fig. 4 ist die aus der Zusatzlage 31, der Barrierenschicht 32, der Hauptlage 33 und der Abschlusslage 34 zusammengesetzte Isolatorfüllung 3 im Bereich der Isolatorgräben 21 zu entnehmen. Die Höhe der Stege 22 beträgt etwa 320 nm, die Dicke der Schutzschicht 11 130 nm

In der Fig. 5 ist der erfindungsgemäße Aufbau im Bereich einer Kante 5 dargestellt. Die Barrierenschicht 32 liegt im Bereich der Kante 5 nicht auf dem Material des Halbleitersubstrats 1 auf, sondern bleibt durch die Zusatzschicht 31 vom Halbleitersubstrat getrennt.

Eine nach einem weiteren Ausführungsbeispiel des erfindungsgemäßen Verfahren prozessierte Isolatorstruktur 8 ist in der Fig. 6 dargestellt. Die Isolatorgräben 21 weisen an der Öffnung eine Weite von etwa 200 nm sowie eine Tiefe von etwa 300 nm auf. Die Stege 22 werden durch jeweils etwa 150 nm dicke, remanente Abschnitte einer Schutzschicht 11 abgedeckt. Auf die durch die Isolatorgräben 21 und die Stege 22 gebildete Struktur wird zunächst eine etwa 100 nm dicke Zusatzlage 31 aus undotiertem Siliziumoxid abgeschieden. Die Abscheidung erfolgt in einer geeigneten Prozesskammer unter Zuführung der Präkursoren Silan  $\text{SiH}_4$  und Sauerstoff  $\text{O}_2$ . In unmittelbaren Anschluss an die Abscheidung des undotierten Siliziumoxids wird in der selben Prozesskammer in-situ durch einen Wechsel der zugeführten Präkursoren eine dünne Barrierenschicht 32

erzeugt. Wiederum in unmittelbaren Anschluss an die Abscheidung der Barrierenschicht 32 wird in-situ durch die Zuführung der Präkursoren Silan  $\text{SiH}_4$ , Sauerstoff  $\text{O}_2$  und Stickstofftrifluorid  $\text{NF}_3$  eine fluordotierte Siliziumoxidschicht als Hauptlage 33 erzeugt. In einer der Fig. 6 als Vorlage dienenden SEM-Aufnahme sind keine Defektbereiche mit Oxid geringer Güte erkennbar.

Beispiel:

Aufbringen einer mehrlagigen Isolatorfüllung in einer HDP/CVD-Prozesskammer:

- Vorsehen eines Quellenplasmas,
- erste undotierte Abscheidung einer Zusatzlage mit einer Vorspannung nach bekannter Art,
- Erzeugen einer Barrierenschicht,
- fluordotierte Abscheidung einer Hauptlage und
- undotierte Abscheidung einer Abschlusslage mit einer Vorspannung.

---

Bezugszeichenliste

	1	Halbleitersubstrat
	10	Substratoberfläche
5	11	Schutzschicht
	12	Nitridliner
	21	Isolatorgraben
	22	Steg
	3	Isolatorfüllung
10	30	Facette
	31	Zusatzlage
	32	Barrierenschicht
	33	Hauptlage
	34	Abschlusslage
15	5	Kante
	6	Defektbereiche
	7	aktiver Bereich
	72	Gateleiterstruktur
	73	Transistor

20

---

Patentansprüche

1. Verfahren zum Erzeugen von Isolatorstrukturen (8) in einem Halbleitersubstrat (1), bei dem

- 5 - von einer Substratoberfläche (10) des Halbleitersubstrats (1) her Isolatorgräben (21) in das Halbleitersubstrat (1) eingebracht werden und
- die Isolatorgräben (21) im Zuge eines auf einem hochdichten Plasma gestützten HDP-Abscheidungsprozesses mindestens teilweise mit einer Hauptlage (33) aus einem mit einem Zusatzstoff dotierten Isolatormaterial gefüllt werden,
- 10 d a d u r c h g e k e n n z e i c h n e t ,
- dass vor einer Abscheidung der Hauptlage (33) im Zuge des HDP-Abscheidungsprozesses eine Wechselwirkung des Zusatzstoffes mit dem Halbleitersubstrat (1) blockierende Barrierenschicht (32) erzeugt wird.
- 15

2. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,

- 20 dass im Zuge des HDP-Abscheidungsprozesses vor dem Abscheiden der Barrierenschicht (32) ein Vorabscheidungsprozess unter Ausschluss von Halogenen oder Halogenverbindungen gesteuert und dabei eine Zusatzlage (31) der Isolatorstruktur (8) erzeugt wird.

25

3. Verfahren nach Anspruch 2,

d a d u r c h g e k e n n z e i c h n e t ,

- dass der Vorabscheidungsprozess der Zusatzlage (31), die Erzeugung der Barrierenschicht (32) und ein die Hauptlage (33) betreffender Hauptabscheidungsprozess aufeinander folgend und
- 30 in einer gemeinsamen Prozesskammer gesteuert werden.

4. Verfahren nach einem der Ansprüche 1 bis 3,

d a d u r c h g e k e n n z e i c h n e t ,

dass als Zusatzstoff ein Halogen oder eine Halogenverbindung vorgesehen wird.

5. Verfahren nach Anspruch 4,

5     d a d u r c h   g e k e n n z e i c h n e t ,  
dass als Halogen Fluor oder eine Fluorverbindung vorgesehen wird.

6. Verfahren nach einem der Ansprüche 1 bis 5,

10     d a d u r c h   g e k e n n z e i c h n e t ,  
dass als Isolatormaterial Siliziumoxid vorgesehen wird.

7. Verfahren nach einem der Ansprüche 1 bis 6,

15     d a d u r c h   g e k e n n z e i c h n e t ,  
dass im Zuge des HDP-Abscheidungsprozesses nach dem Erzeugen der Hauptlage (33) ein Hilfsabscheidungsprozess unter Ausschluss von Halogenen oder Halogenverbindungen gesteuert wird und dabei eine Abschlusslage (34) der Isolatorstruktur (8) vorgesehen wird.

20

8. Verfahren nach einem der Ansprüche 1 bis 7,

25     d a d u r c h   g e k e n n z e i c h n e t ,  
dass im Zuge des HDP-Abscheidungsprozesses oberhalb der Substratoberfläche (10) abgeschiedenes Material bis zur Substratoberfläche (10) zurückgebildet wird.

9. Verfahren nach einem der Ansprüche 1 bis 8,

30     d a d u r c h   g e k e n n z e i c h n e t ,  
dass außerhalb der Isolatorstrukturen (8) im Bereich der Substratoberfläche (10) p-Kanal-Transistoren (73) vorgesehen werden.

10. Verfahren nach einem der Ansprüche 6 bis 9,

d a d u r c h   g e k e n n z e i c h n e t ,

dass im Zuge des Vorabscheidungsprozesses Silan und Sauerstoff als chemische Vorläuferverbindungen zugeführt werden

11. Verfahren nach einem der Ansprüche 1 bis 10,  
dadurch gekennzeichnet,  
dass im Zuge des Hauptabscheidungsprozesses Silan, Sauerstoff und  $\text{NF}_3$  als chemische Vorläuferverbindungen zugeführt werden.

12. Verfahren nach einem der Ansprüche 1 bis 11,  
dadurch gekennzeichnet,  
dass das Material der Barrierenschicht (32) aus einer Si-N, Si-O-N, Si-C, Si-O-C, amorphes Silizium und nitridiertes Siliziumoxid umfassenden Gruppe gewählt wird.

13. Verfahren nach Anspruch 11,  
dadurch gekennzeichnet,  
dass als Material der Barrierenschicht (32) Si-N gewählt wird und zur Erzeugung der Barrierenschicht (32) Silan und  $\text{N}_2$  als Präkursoren zugeführt werden.

14. Verfahren nach Anspruch 11,  
dadurch gekennzeichnet,  
dass die Isolatorgräben (21) mit einem Aspektverhältnis größer 5:1 vorgesehen werden.

15. Isolatorstruktur (8) in einem Halbleitersubstrat (1), umfassend eine aus mit einem Halogen dotierten Siliziumoxid gebildete und aus einem HDP-Abscheidungsprozess hervorgegangene Hauptlage (33),

gekennzeichnet durch  
eine die Hauptlage (33) vom Halbleitersubstrat (1) trennende und in unmittelbaren Zusammenhang mit der Hauptlage (33) mittels eines HDP-Abscheidungsprozesses gebildete und eine Wech-

selwirkung des Halogens mit dem Halbleitersubstrat (1) blockierende Barrierenschicht (32).

16. Isolatorstruktur nach Anspruch 15,  
gekennzeichnet durch  
eine die Barrierenschicht (32) vom Halbleitersubstrat (1) trennende und in unmittelbaren Zusammenhang mit der Barrierenschicht (32) mittels eines HDP-Abscheidungsprozesses gebildete Zusatzlage (31).

17. Isolatorstruktur nach einem der Ansprüche 15 oder 16,  
dadurch gekennzeichnet,  
die Zusatzlage (31) aus undotiertem Siliziumoxid gebildet ist.

18. Isolatorstruktur nach einem der Ansprüche 15 bis 17,  
dadurch gekennzeichnet,  
dass die Barrierenschicht (32) aus Si-N, Si-O-N, Si-C, Si-O-C, amorphem Silizium und/oder nitridiertem Siliziumoxid besteht.

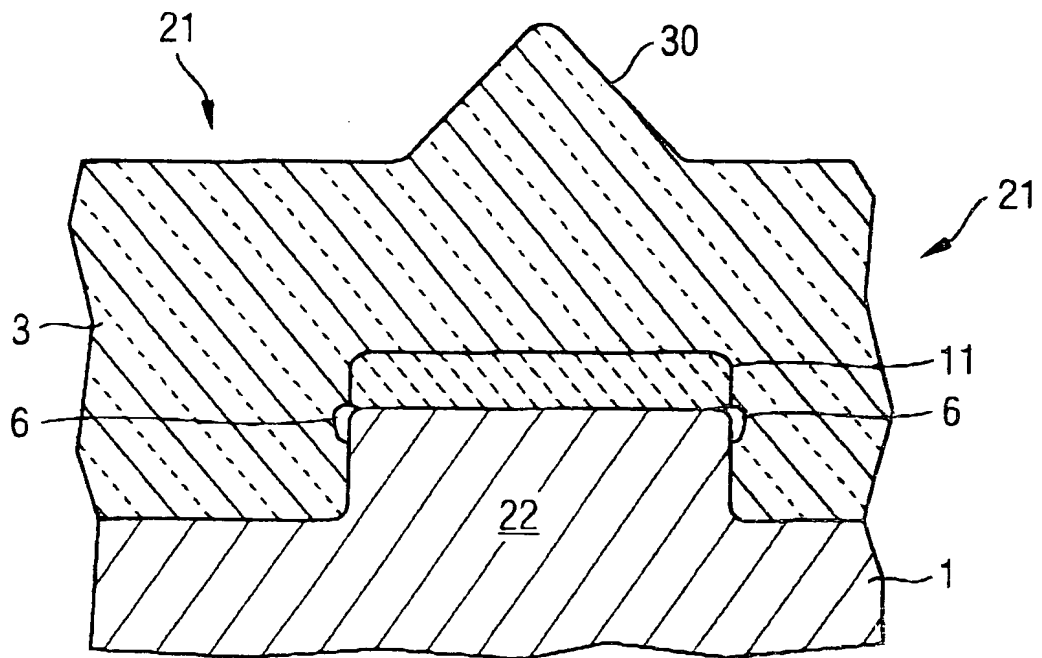
19. Isolatorstruktur nach einem der Ansprüche 15 bis 18,  
dadurch gekennzeichnet,  
dass das Halogen Fluor ist.

20. Isolatorstruktur nach einem der Ansprüche 15 bis 19,  
dadurch gekennzeichnet,  
dass die Isolatorstruktur (8) in einem Isolatorgraben (21) mit einem Aspektverhältnis größer 5:1 ausgebildet ist.

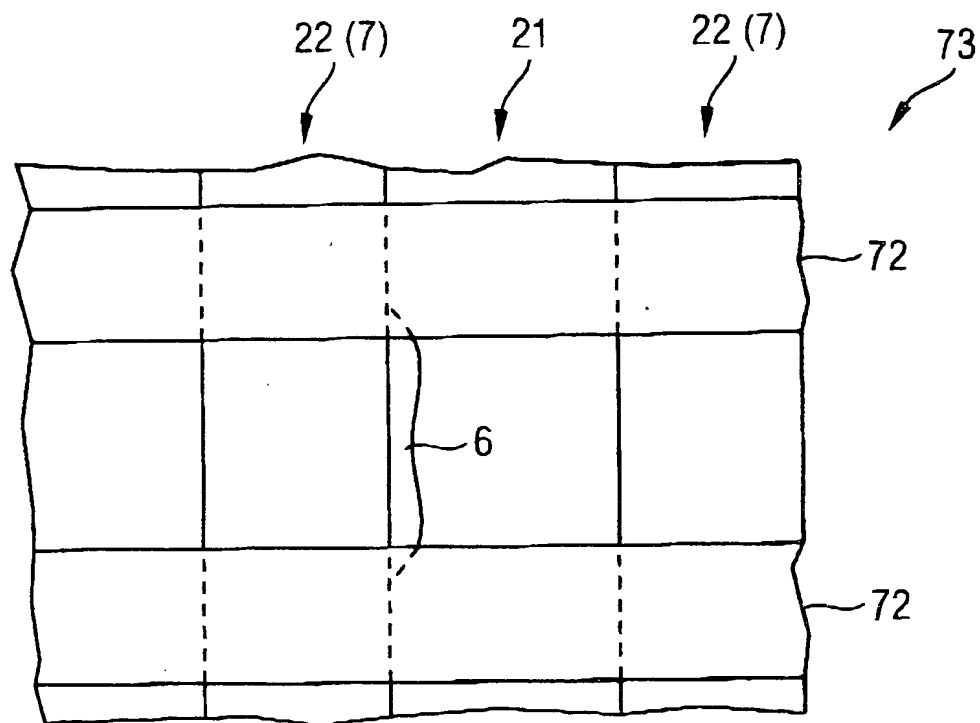
21. Isolatorstruktur nach einem der Ansprüche 15 bis 20,  
gekennzeichnet durch  
eine auf der Hauptlage (33) angeordnete Abschlusslage (34) aus undotiertem Siliziumoxid.



**FIG 1**  
Stand der Technik



**FIG 2**  
Stand der Technik



**FIG 3**  
Stand der Technik

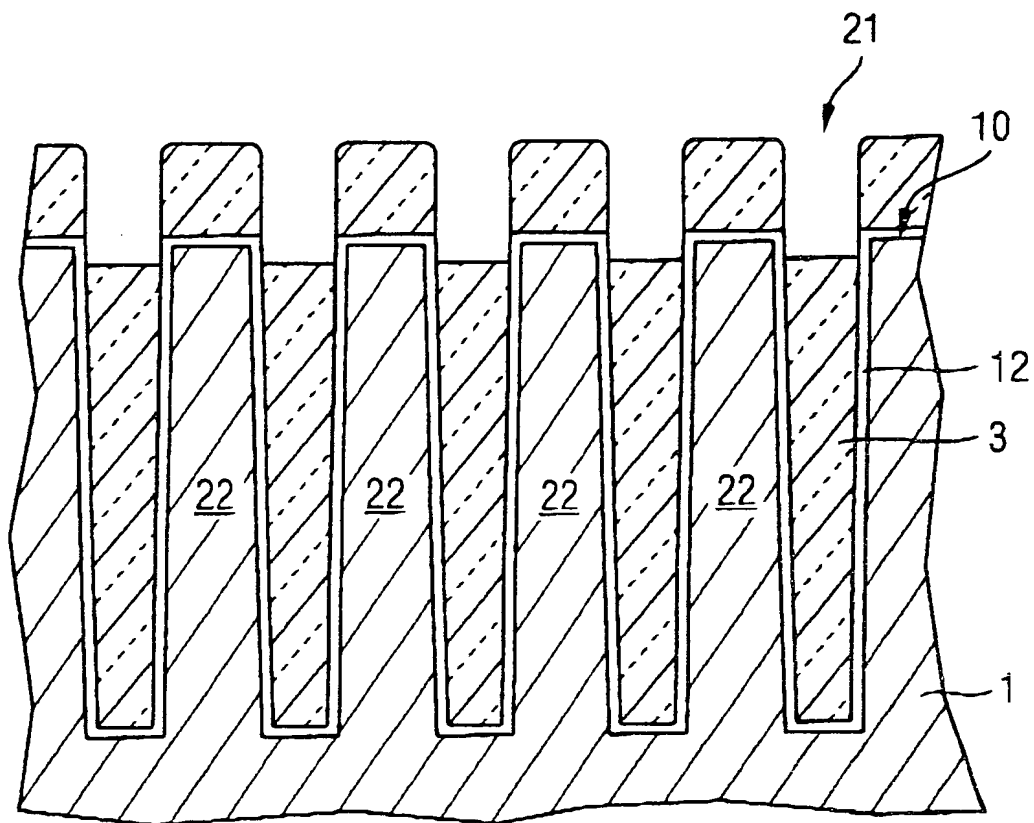


FIG 4

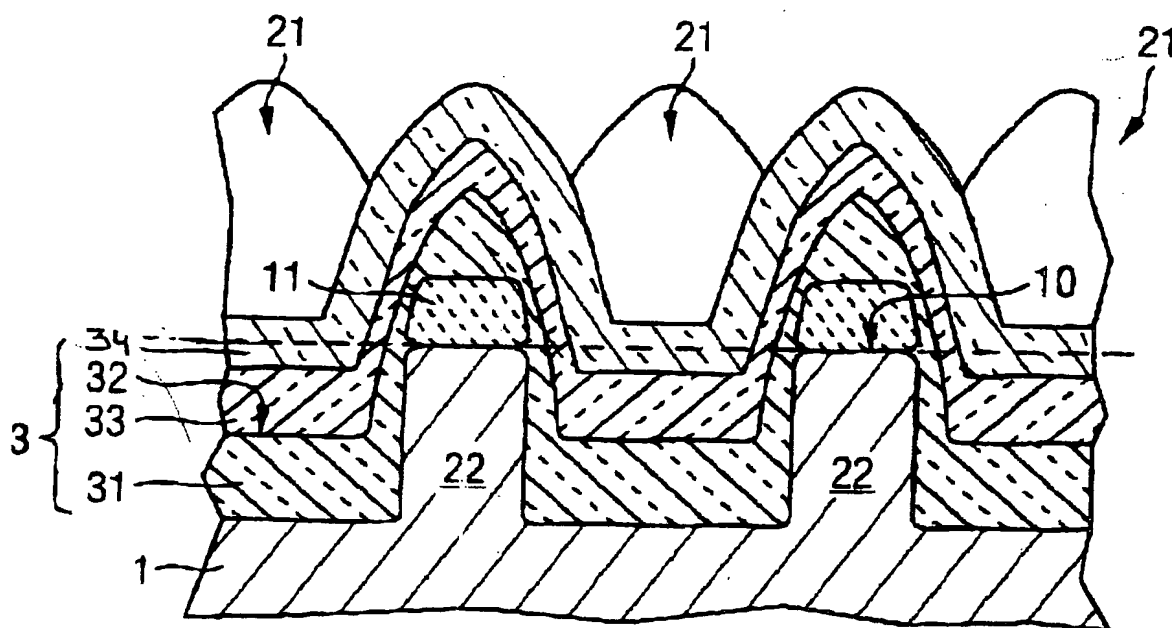
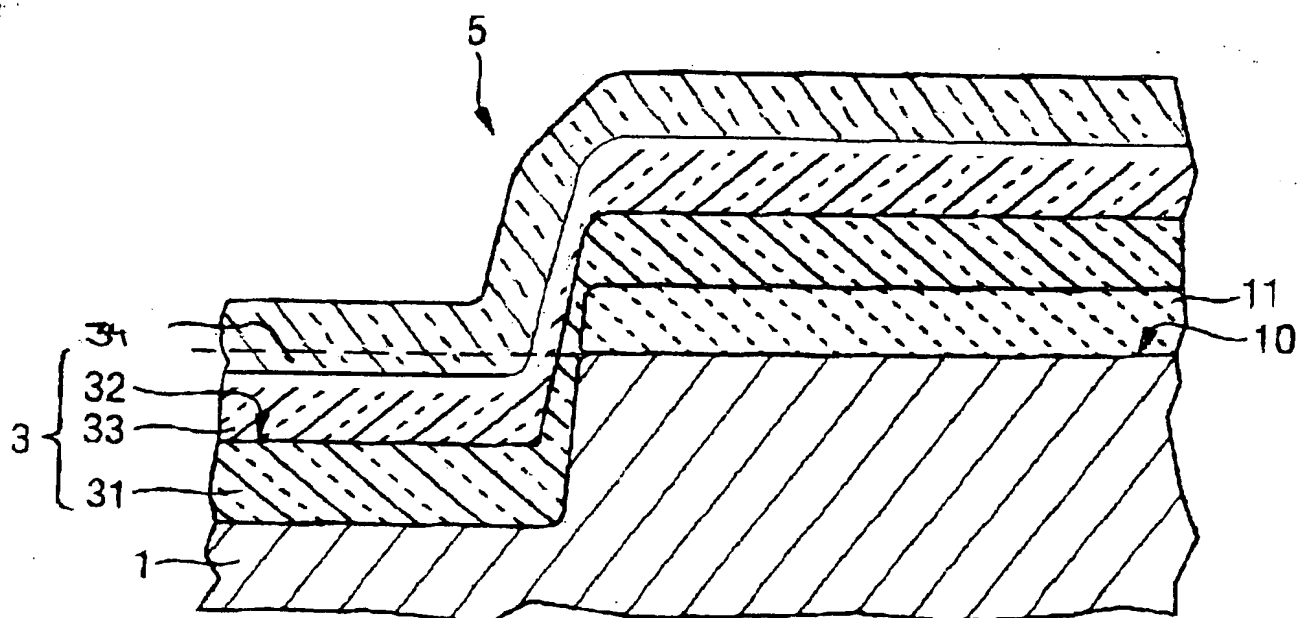
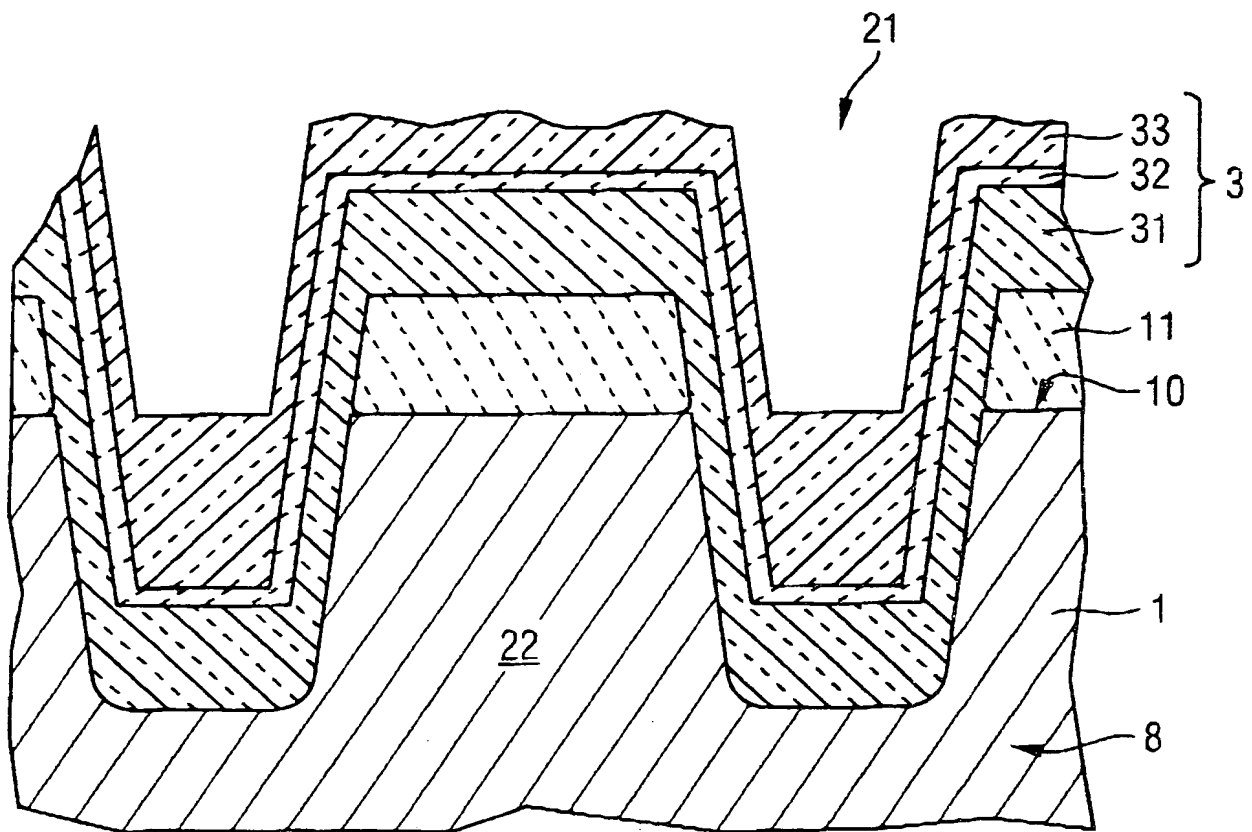


FIG 5



**FIG 6**  
Stand der Technik



---

## Zusammenfassung

Isolatorstruktur und Verfahren zur Erzeugung von Isolatorstrukturen in einem Halbleitersubstrat

5

Zur Erzeugung von Isolatorstrukturen (8) werden von einer Substratoberfläche (10) her Isolatorgräben (21) mit Aspektverhältnissen größer 4:1 in ein Halbleitersubstrat (1) eingebracht und mit einer Isolatorfüllung (3) gefüllt. Die Isolatorfüllung (3) wird aus mehreren Anteilen (31, 32, 33, 34) gebildet, die im Zuge eines HDP/CVD-Abscheidungsprozesses in-situ in einer HDP/CVD-Prozesskammer aufeinander folgend abgeschieden werden. Eine Hauptlage (33) wird aus fluordotierten Siliziumoxid mit guten Fülleigenschaften vorgesehen. Unmittelbar vor Abscheiden der Hauptlage (33) wird eine Barrierenschicht (32) ausgebildet, die ein Ausgasen des Fluors aus dem fluordotierten Siliziumoxid (33), eine Wechselwirkung des Fluors mit dem Halbleitersubstrat (1) und eine Ausbildung von Defektbereichen (6) mit Oxid geringer Güte im Bereich der Isolatorfüllung (3) verhindert. Die Barrierenschicht (32) ermöglicht die Ausbildung von nichtdegradierenden p-Kanal-Transistoren (73) im Bereich der Substratoberfläche (10). Durch eine Zusatzlage (31) und eine Abschlusslage (34) erfolgt jeweils eine Anpassung und Einbindung der Hauptlage (33) und der Barrierenschicht (32) an vorausgegangene und nachfolgende Prozessschritte.

(Fig. 4)

Figur für die Zusammenfassung

FIG 4

